

A/D CONVERTER WITH OFFSET ELIMINATION FUNCTION

Publication number: JP10322214 (A)

Publication date: 1998-12-04

Inventor(s): UGAWA MASAYUKI; KANAYAMA HIDEKI +

Applicant(s): NIPPON BAA BRAUN KK +

Classification:


- international: H03H17/00; H03M1/10; H03M3/00; H03M3/02; H03H17/00;
H03M1/10; H03M3/00; H03M3/02; (IPC1-7): H03H17/00;
H03M1/10; H03M3/02

- European: H03M3/00

Application number: JP19970125774 19970515

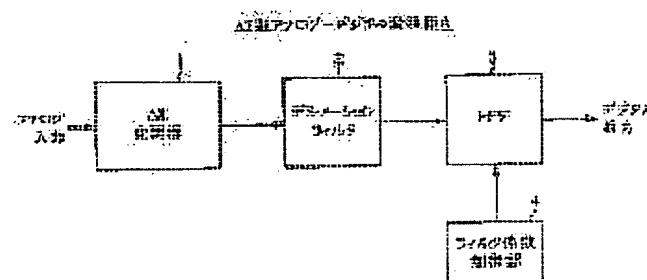
Priority number(s): JP19970125774 19970515

Also published as:

 US6147633 (A)

Abstract of JP 10322214 (A)

PROBLEM TO BE SOLVED: To eliminate an offset that is changing during the operation and to minimize a time till a stable value is obtained after power-on by allowing the A/D converter to have a high pass filter and a filter coefficient control means that is connected to the high pass filter and generates a coefficient control signal to instruct revision of a variable filter coefficient during the operation. **SOLUTION:** The converter A is provided with a $\Delta\Sigma$ modulator 1, a decimation filter 2, a high pass filter (HPF) 3, and a filter coefficient control section 4. The HPF 3 receives an output of the decimation filter 2 at its input and receives a signal to control a filter coefficient at its control input and produces an output of a result of applying high pass filter processing by a designated filter coefficient to the output of the decimation filter 2. An output of the filter coefficient control section 4 is given to a control input of the HPF 3, the filter coefficient control signal is fed to the HPF 3 during the operation of the converter A to select a proper coefficient for the HPF 3.



Data supplied from the **espacenet** database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-322214

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.⁶

識別記号

F I

H 0 3 M 3/02

H 0 3 M 3/02

H 0 3 H 17/00

6 2 1

H 0 3 H 17/00

6 2 1 C

H 0 3 M 1/10

H 0 3 M 1/10

A

審査請求 未請求 請求項の数12 O L (全 10 頁)

(21) 出願番号

特願平9-125774

(22) 出願日

平成9年(1997)5月15日

(71) 出願人

595138889

日本パー・ブラウン株式会社

神奈川県横浜市港北区新横浜二丁目3番地

12 新横浜スクエアビル

(72) 発明者

鶴川 正行

神奈川県厚木市長谷仲町422-1 日本パ

ーブラウン株式会社厚木テクニカルセンタ

ー内

(72) 発明者

金山 英樹

神奈川県厚木市長谷仲町422-1 日本パ

ーブラウン株式会社厚木テクニカルセンタ

ー内

(74) 代理人

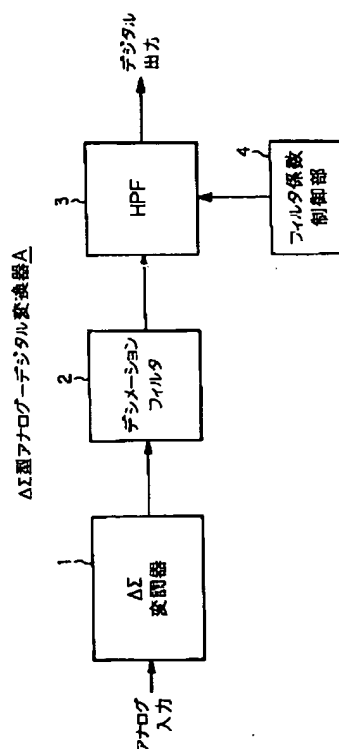
弁理士 社本 一夫 (外4名)

(54) 【発明の名称】 オフセット除去機能付のアナログ-デジタル変換器

(57) 【要約】

【課題】 $\Delta\Sigma$ 型アナログ-デジタル変換器において、動作中に変化するオフセットが除去できるとともに、パワーオン時から安定した値が得られるまでの時間を短縮にすること。

【解決手段】 ハイパスフィルタ3に、動作中可変のフィルタ係数をもたせる。フィルタ係数制御部4により、係数制御信号をハイパスフィルタ3に供給して、動作中その可変のフィルタ係数を変更させ、これにより、ハイパスフィルタ3の時定数を変化させる。



【特許請求の範囲】

【請求項1】アナログ入力信号を受けて、これをデジタル形態で表すデジタル出力信号を発生する $\Delta\Sigma$ 型アナログーデジタル変換器であって、

イ) 前記アナログ入力信号を受けるように接続しており、変調器出力を発生する $\Delta\Sigma$ 型変調器と、

ロ) 前記変調器出力を受けるように接続しており、デシメーション・フィルタ出力を発生するデシメーション・フィルタと、

ハ) 前記デシメーション・フィルタ出力を受けるように接続しており、ハイパスフィルタ出力を発生するハイパスフィルタであって、該ハイパスフィルタは、動作中可変のフィルタ係数を有する、前記のハイパスフィルタと、

ニ) 前記ハイパスフィルタに接続しており、動作中に前記可変フィルタ係数の変更を指示する係数制御信号を発生するフィルタ係数制御手段と、を備えた $\Delta\Sigma$ 型アナログーデジタル変換器。

【請求項2】請求項1記載の変換器であって、前記可変のフィルタ係数の変更は、前記変換器のパワーアップ時に行うこと、を特徴とする $\Delta\Sigma$ 型アナログーデジタル変換器。

【請求項3】請求項1または2に記載の変換器であって、

前記ハイパスフィルタの特性は、Z関数を用いて

【数1】

$$H(Z) = H_1(Z) / H_2(Z)$$

$$H_1(Z) = \sum_{i=0}^M b_i Z^{-i}$$

$$H_2(Z) = \sum_{i=0}^N a_i Z^{-i}$$

で表され、ここで a_i と b_i は係数であり、MとNは正の整数であり、

前記可変のフィルタ係数は、 a_1 と b_1 値の第1の組合せからなる第1のフィルタ係数と、前記第1の組合せとは異なった a_1 と b_1 の値の第2の組合せからなる第2のフィルタ係数とから成ること、を特徴とする $\Delta\Sigma$ 型アナログーデジタル変換器。

【請求項4】請求項3に記載の変換器であって、前記ハイパスフィルタは1次のフィルタであって、その特性は、Z関数を用いて

【数2】

$$H(Z) = H_1(Z) / H_2(Z)$$

$$H_1(Z) = 1 - Z^{-1}$$

$$H_2(Z) = 1 - kZ^{-1}$$

で表され、ここでkは係数であり、

前記可変のフィルタ係数は、第1の値のkからなる第1のフィルタ係数と、第2の値のkからなる第2のフィルタ係数と、から成ること、を特徴とする $\Delta\Sigma$ 型アナログーデジタル変換器。

【請求項5】請求項4記載の変換器であって、前記第1フィルタ係数は、1に近い値であり、

前記第2フィルタ係数は、0または0に近い値であること、を特徴とする $\Delta\Sigma$ 型アナログーデジタル変換器。

【請求項6】請求項5記載の変換器であって、前記第2フィルタ係数は、0であること、を特徴とする $\Delta\Sigma$ 型アナログーデジタル変換器。

【請求項7】請求項1から6のいずれかに記載の変換器であって、

前記ハイパスフィルタは、

イ) 前記デシメーション・フィルタ出力を受ける第1の入力と、第2の入力と、出力とを有する減算器と、

ロ) 前記減算器の出力に接続した入力と、出力とを有する遅延器と、

ハ) 前記デシメーション・フィルタ出力を受けるように接続した第1の入力と、前記遅延器の出力に接続した第2の入力と、前記ハイパスフィルタ出力を発生する出力とを有する加算器と、

ニ) 該加算器の出力に接続した入力と、前記減算器の第2入力に接続した出力とを有するフィードバック回路であって、前記フィルタ係数として作用する動作中可変のフィードバック係数をもつフィードバック回路と、から成ること、を特徴とする $\Delta\Sigma$ 型アナログーデジタル変換器。

【請求項8】請求項7記載の変換器であって、前記フィードバック回路は、加算器を使用したタイプであること、を特徴とする $\Delta\Sigma$ 型アナログーデジタル変換器。

【請求項9】請求項7記載の変換器であって、前記フィードバック回路は、乗算器を使用したタイプであること、を特徴とする $\Delta\Sigma$ 型アナログーデジタル変換器。

【請求項10】請求項7から9のいずれかに記載の変換器であって、

前記フィルタ係数制御手段は、前記係数制御信号として第1のタイミング信号を供給するタイミング制御手段を含み、

前記第1タイミング信号は、前記変換器のリセットから第1の所定の時間の間、前記第2フィルタ係数を使用すべきことを表すこと、を特徴とする $\Delta\Sigma$ 型アナログーデジタル変換器。

【請求項11】請求項10記載の変換器であって、さらに、前記 $\Delta\Sigma$ 変調器の入力に対するDCディザ成分の印加を制御するためのディザ制御手段を含むこと、を特徴とする $\Delta\Sigma$ 型アナログーデジタル変換器。

【請求項12】請求項11記載の変換器であって、前記タイミング制御手段はさらに、前記ディザ制御手段に対し供給する第2のタイミング信号を発生し、該第2タイミング信号は、前記変換器のリセットから、前記第1所定時間よりも短い第2の所定の時間の間、前記DCディザ成分を印加すべきでないことを表すこと、を特徴とする $\Delta\Sigma$ 型アナログーデジタル変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、 $\Delta\Sigma$ 型のアナログーデジタル変換器に関し、特に、 $\Delta\Sigma$ 型アナログーデジタル変換器におけるDC成分の除去に関するものである。

【0002】

【従来の技術】従来、 $\Delta\Sigma$ 型のアナログーデジタル変換器(ADC)におけるDC成分すなわちオフセットを除去するため手法として、大きく分けて2つある。その2つの方法とは、オフセット・キャリブレーション法と、ハイパスフィルタを使用する方法とである。オフセット・キャリブレーション法は、例えば米国特許4,943,807に開示されており、これは、 $\Delta\Sigma$ 型ADCのオフセット値をメモリに記憶して、その値を、デジタル変換した値($\Delta\Sigma$ 変調器とデシメーション・フィルタを通した後の値)から減算することによって、そのDC成分を取り除く方法である。第2のハイパスフィルタ(HPF)による手法は、デジタル変換した値をハイパスフィルタに通すことによってDC成分を除去する。

【0003】

【発明が解決しようとする課題】上記のオフセット・キャリブレーション法では、ADCが長時間動作する間に外的要因等でオフセット値が変化すると、最初にメモリに記憶した値と差が出てしまい、したがって完全にDC成分を除去することができなくなってしまう。一方、ハイパスフィルタ手法では、そのような動作中に変化するオフセットを除去するのにも有効である。しかし、このハイパスフィルタ法では、フィルタ特性としてDC成分を除くのに必要な非常に低いカットオフ周波数をもつため、フィルタを動作させてから最初のDC成分が除かれるのに長い時間を必要とする。この時間は、ADCをパワーオンさせてから安定した正常値が出るまでに要する時間の中で、かなりの部分を占めてしまう。

【0004】したがって、本発明の目的は、動作中に変化するオフセットが除去できるとともに、パワーオン時から安定した値が得られるまでの時間を最小限にできる、 $\Delta\Sigma$ 型アナログーデジタル変換器を提供することである。

【0005】

【課題を解決するための手段】上記の目的を実現するため、本発明によれば、アナログ入力信号を受けてこれをデジタル形態で表すデジタル出力信号を発生する $\Delta\Sigma$ 型アナログーデジタル変換器は、(イ)前記アナログ入力信号を受けるように接続しており、変調器出力を発生する $\Delta\Sigma$ 型変調器と、(ロ)前記変調器出力を受けるように接続しており、デシメーション・フィルタ出力を発生するデシメーション・フィルタと、(ハ)前記デシメーション・フィルタ出力を受けるように接続しており、ハイパスフィルタ出力を発生するハイパスフィルタであつ

て、該ハイパスフィルタは、動作中可変のフィルタ係数を有する、前記のハイパスフィルタと、(ニ)前記ハイパスフィルタに接続しており、動作中に前記可変フィルタ係数の変更を指示する係数制御信号を発生するフィルタ係数制御手段と、を備える。

【0006】本発明によれば、前記可変のフィルタ係数の変更は、前記変換器のパワーアップ時に行うことができる。また、本発明によれば、前記ハイパスフィルタの特性は、Z関数を用いて

【数3】

$$H(Z) = H_1(Z) / H_2(Z)$$

$$H_1(Z) = \sum_{i=0}^M b_i Z^{-i}$$

$$H_2(Z) = \sum_{i=0}^N a_i Z^{-i}$$

で表し、ここで a_i と b_i は係数、MとNは正の整数とし、前記可変のフィルタ係数を、 a_i と b_i 値の第1の組合せからなる第1のフィルタ係数と、前記第1の組合せとは異なった a_i と b_i の値の第2の組合せからなる第2のフィルタ係数とで構成するようにできる。さらにまた、本発明によれば、前記ハイパスフィルタは1次のフィルタであつて、その特性は、Z関数を用いて

【数4】

$$H(Z) = H_1(Z) / H_2(Z)$$

$$H_1(Z) = 1 - Z^{-1}$$

$$H_2(Z) = 1 - kZ^{-1}$$

で表し、ここでkは係数であり、前記可変のフィルタ係数を、第1の値のkからなる第1のフィルタ係数と、第2の値のkからなる第2のフィルタ係数と、から成るようにできる。この場合、前記第1フィルタ係数は、1に近い値とし、前記第2フィルタ係数は、0または0に近い値とすることができる。

【0007】さらに本発明によれば、前記ハイパスフィルタは、(イ)前記デシメーション・フィルタ出力を受ける第1の入力と、第2の入力と、出力とを有する減算器と、(ロ)該減算器の出力に接続した入力と、出力とを有する遅延器と、(ハ)前記デシメーション・フィルタ出力を受けるように接続した第1の入力と、前記遅延器の出力に接続した第2の入力と、前記ハイパスフィルタ出力を発生する出力とを有する第2の加算器と、(ニ)該加算器の出力に接続した入力と、前記減算器の第2入力に接続した出力とを有するフィードバック回路であつて、前記フィルタ係数として作用する動作中可変のフィードバック係数をもつフィードバック回路と、で構成することができる。

【0008】本発明によれば、前記フィードバック回路は、加算器を使用したタイプとしたり、あるいは乗算器を使用したタイプとすることができる。

【0009】また、本発明によれば、前記フィルタ係数制御手段は、前記係数制御信号として第1のタイミング信号を供給するタイミング制御手段を含み、前記第1タイミング信号は、前記変換器のリセットから第1の所定

の時間までの間、前記第2フィルタ係数を使用すべきことを表すようにできる。このとき、さらに、前記変換器には、前記 $\Delta\Sigma$ 変調器の入力に対するDCディザ成分の印加を制御するためのディザ制御手段を含めることができる。この場合、前記タイミング制御手段はさらに、前記ディザ制御手段に対し供給する第2のタイミング信号を発生することができ、該第2タイミング信号は、前記変換器のリセットから、前記第1所定時間よりも短い第2の所定の時間の間、前記DCディザ成分を印加すべきでないことを表すようにできる。

【0010】

【発明の実施の形態】次に、本発明について、実施例を参照しながら詳細に説明する。

【0011】図1は、本発明による $\Delta\Sigma$ 型のアナログーデジタル変換器(ADC)の第1実施例Aを示すブロック図である。図示のように、この変換器Aは、 $\Delta\Sigma$ 変調器1と、デシメーション・フィルタ2と、ハイパスフィルタ(HPF)3と、そしてフィルタ係数制御部4とを備えている。 $\Delta\Sigma$ 変調器1は、入力にデジタル形態に変換すべきアナログ入力を受け、そしてその出力に $\Delta\Sigma$ 変調を行った変調出力を発生する。この変調出力を入力に受けるデシメーション・フィルタ2は、その入力に対しデシメーションを行って、その結果を出力に発生する。

【0012】次のHPF3は、1つの入力と、1つの制御入力と、1つの出力とを有し、また可変のフィルタ係数群を有している。このハイパスフィルタの特性は、Z関数で一般的に表すと

【数5】

$$H(Z) = H_1(Z) / H_2(Z)$$

$$H_1(Z) = \sum_{i=0}^M b_i Z^{-i}$$

$$H_2(Z) = \sum_{i=0}^N a_i Z^{-i}$$

である。ここで a_i と b_i は係数であり、MとNは正の整数である。このとき、 a_i と b_i 値の第1の組合せからなる第1のフィルタ係数群と、この第1の組合せとは異なった a_i と b_i の値の第2の組合せからなる第2のフィルタ係数群とが、可変のフィルタ係数を構成する。このフィルタ係数は、HPFのカットオフ周波数がゼロに近づくにつれ、フィルタの時定数は大きくなる。一方、HPFのカットオフ周波数が高くなるにつれ、時定数は小さくなる。このHPF3は、その入力にデシメーション・フィルタ出力を受け、制御入力にフィルタ係数を制御する信号を受け、そして出力には、指定されたフィルタ係数によるハイパスフィルタ処理をそのデシメーション・フィルタ出力に対し行った結果を発生する。フィルタ係数制御部4は、出力がHPF3の制御入力に接続しており、変換器Aの動作中、上記のフィルタ係数制御信号をHPF3に供給して、HPFの係数として適切な値のものを使用させる。

【0013】この構成により、変換器AのA/D変換動作中、HPF3は、制御部4により指定されたフィルタ

係数群でフィルタ処理を実行でき、したがって、動作中における状況に応じて、適切な時定数またはカットオフ周波数でハイパスフィルタ処理を実行させることができる。これにより、ADCのオフセット除去を行うときにはフィルタ時定数を大きな値にし、一方、デジタル出力を早く安定させたいとき、例えばパワーオン時には、フィルタ時定数を小さい値とすることができる。

【0014】次に、図2を参照して、本発明の第2実施例の $\Delta\Sigma$ 型アナログーデジタル変換器Bについて説明する。この変換器Bは、図1の変換器の一部をより具体化したものであって、図1の要素1、2、3と同様の $\Delta\Sigma$ 変調器10、デシメーション・フィルタ20、およびHPF30と、そしてフィルタ係数制御部4に一部対応したタイミング・コントローラ40、さらにシリアル制御部50とディザ制御部60とを備えている。尚、本実施例の場合、HPF30は、1次のフィルタで構成し、その特性は、Z関数を用いて表すと、

【数6】

$$H(Z) = H_1(Z) / H_2(Z)$$

$$H_1(Z) = 1 - Z^{-1}$$

$$H_2(Z) = 1 - kZ^{-1}$$

であり、ここでkは係数である。可変のフィルタ係数は、この係数kであり、そして本実施例では、第1の値のkからなる第1のフィルタ係数と、第2の値のkからなる第2のフィルタ係数とを使用する。このフィルタ係数kは、例えば0から1の範囲の値である。フィルタ係数が1の値に近づくにつれ、フィルタの時定数が大きくなって、HPFのカットオフ周波数がゼロに近づく。一方、フィルタ係数が0に近づくにつれ、時定数が小さくなるとともに、HPFのカットオフ周波数が高くなる。

【0015】また、シリアル制御部50は、HPF30の並列のフィルタ出力をシリアル形態にするものである。ディザ制御部60は、公知のように、トーン周波数を可聴周波数帯域外へ移動させるため、 $\Delta\Sigma$ 変調器の入力に受けるアナログ入力に対するある大きさの直流バイアス電圧(このバイアス電圧源(図示せず)は $\Delta\Sigma$ 変調器内にある)の印加を制御するものである。本実施例の場合、 $\Delta\Sigma$ 変調器10は、さらに第1と第2の制御入力を有していて、タイミング・コントローラ40からの信号と、ディザ制御部60からの制御入力を受けるようにしている。その第1制御入力は、変調器10へのアナログ入力の受け入れのための入力ゲート(図示せず)を開閉するためのものであり、第2制御入力は、その受け入れたアナログ入力に対し加算器(図示せず)により加算すべきディザの入力ゲート(図示せず)を開閉するためのものである。また、シリアル制御部50も、制御入力を有していて、この入力の論理状態に応じてそのシリアルデジタル出力をアクティブにする。

【0016】タイミング・コントローラ40は、変換器Bの動作を制御するためのいくつかのタイミング信号を

発生する。第1のタイミング信号I1は、HPF30の制御入力と変調器10の第1制御入力とに対し供給し、第2のタイミング信号I2は、ディザ制御部の入力に供給し、そして第3のタイミング信号I3は、シリアル制御部の制御入力に供給する。

【0017】ここで、図3を参照してHPF30の回路構成について説明する。図示のように、HPF30は、減算器32と、1クロック遅延器34と、加算器36と、そしてフィードバック回路38とから成っている。尚、変換器Bのクロック周波数は、44.1KHzである。減算器32は、デシメーション・フィルタ出力である28ビットの2進入力Xを負入力に受け、そして正入力からその入力Xを減算した結果を28ビットの2進出力として発生する。この減算器出力を遅延器34を介して一方の正入力に受ける加算器36は、他方の正入力に入力Xを受け、そしてそれらを互いに加算した結果を28ビットの2進出力Yとして発生する。この出力Yは、次段のシリアル制御部50への入力となる。また、出力Yは、フィードバック回路への入力Aとなり、またフィードバック回路は、減算器32の正入力に印加する2進のフィードバック出力Bを発生する。

【0018】図3に示す本発明によるフィードバック回路38の1実施例は、非ゼロの2つのフィルタ係数（またはフィードバック係数）k1およびk2を切替使用する加算器タイプのものである。k1は“8191/8192”であってほぼ1の値であり、k2は“1/8192”であってほぼ0の値である。詳しくは、回路38は、加算器3800と、左に13ビットシフト（“ $\ll 13$ ”で表す）するシフト回路3802と、41個（“ $\times 41$ ”で示す）のANDゲート3804と、28個（“ $\times 28$ ”で示す）のEX-ORゲート3806と、そしてインバータ3808とから構成している。加算器3800は、内部で、負入力に受けた28ビットの入力A[27:0]の最上位MSBビットをビット拡張して41ビットの2進信号C[40:0]を発生する、すなわちAを1倍する（尚、2進信号は、2の補数表現である）。したがって、このC[40:28]の各ビットは、A[27]に等しく、C[27:0]はA[27:0]に等しい。シフト回路3802は、入力Aを13ビット左シフトすることにより 2^{13} 倍（=8192倍）して、41ビットの2進信号D[40:0]にする。したがって、D[40:13]はA[27:0]に等しく、D[12:0]は全て0である。この41ビット出力を一方の入力に受けるANDゲート3804は、その各ビットとタイミング信号とのANDを行ってその結果をE[40:0]として出力する。すなわち、I1=ロー（“0”）のときには、E[40:0]は全て0であり、一方、I1=ハイ（“1”）のときには、E[40:0]はD[40:0]に等しい。

【0019】加算器3800は、2進信号E[40:0]から2進信号C[40:0]を減算してその結果の上位28

ビットのみをF[27:0]として出力する。下位13ビットを使用しないため、 2^{-13} 倍したことになるため、このときの信号Eは、 $(E-C)/8192$ 、すなわちI1=1のときは、 $F=(8192A-A)/8192=(8191/8192)A=k1 \cdot A$ となる。一方、I1=0のときは、 $F=-A(1/8192)=-k2 \cdot A$ となる。この後者のI1=0の場合、負となるため、I1=0のときのみ次段のEX-ORゲートで反転することにより、常に正の2進出力G[27:0]を発生する。これがB[27:0]となる。結局、I1=0のときは、 $B=k2 \cdot A$ でほぼゼロに等しく、このため、HPFの時定数は非常に小さくなる。一方、I1=1のときは $B=k1 \cdot A$ となるため、これはほぼAに等しくなるため、DCオフセットを除去するのに必要な極めて大きな時定数となる。

【0020】次に、図4を参照して、図3のハイパスフィルタ回路を備えた図2の $\Delta\Sigma$ 型ADCの全体の動作について説明する。まず初めに、図4の(a)に示すように、このADCを使用するシステムからタイミング・コントローラ40に印加されるリセット信号RS（図2には図示せず）が、ADCのパワーオンのためt1時にローからハイに遷移する。この信号に基づいて、コントローラ40は、図4(c)、(b)、(d)に示すように、タイミング信号I1、I2およびI3を形成して発生する。これらタイミング信号は、それぞれ最初はローである。したがって、変調器10のアナログ入力を受ける入力ゲートは閉じており、また変調器内のDCディザ印加のための入力ゲートも閉じている。さらにまた、HPF30のフィルタ係数は、I1=0であるため、フィルタ係数はk2（ほぼゼロ）であり、しかもシリアル制御部50のデジタル出力もアクティブとなっていない。このような状態で、まず初めにタイミング信号I2が、t1から例えば300ミリ秒後のt2時にローからハイになり、これにより、ディザ制御部60は、変調器10内において、アナログ入力にDCバイアスを加えさせる。このため、変調器10の出力並びにデシメーション・フィルタ出力（図4の(e)と(f)）とには、t2以降、DCディザ・バイアスとオフセットの合わさったDC成分が現れる。このとき、図4の(g)に示すように、HPF30の出力においては、t2後、図示のような急に立ち上がってから徐々に立ち下がるノイズ（図4(g)の下に拡大図示）が数十マイクロ秒の間現れるが、その後はDC成分は完全に除去される。このノイズ部分の期間は、従来ではHPFの係数値が1に近いために1~2秒あったが、本発明では、数十マイクロ秒と極めて短くできている。

【0021】t2から例えば20ミリ秒後のt3時においては、タイミング信号I1がハイになり、これにより、 $\Delta\Sigma$ 変調器10内の入力ゲートが開いてアナログ入力のA/D変換が開始する同時に、HPF30のフィルタ係数がk1からk2（ほぼ1）に切り替わる。この結

果、A/D変換におけるオフセット除去機能が完全に起動する。この t_3 からさらに20ミリ秒後の t_4 において、タイミング信号I3がローからハイになって、シリアル制御部50のデジタル出力をアクティブにし、これにより、A/D変換出力をシリアル形態で発生する。

【0022】以上に本発明の1実施例によるADCについて説明したが、そのHPF30のフィードバック回路部分については、その他の回路構成が種々可能であり、そのいくつかの例について以下に説明する。

【0023】図5は、HPF30のフィードバック回路38の第2の実施例による回路38Aを示している。図5のこの実施例の目的は、図3の回路において生じる1ビット誤差のない回路を提供することである。図3の回路で1ビット誤差が生ずるのは、本発明の回路においては、2進信号は2の補数で表しているため、図3のEX-ORゲートで反転させるときである。この1ビット誤差は、第2係数 k_2 を使用している間、すなわち図4の t_3 時まで($I_1=0$ の間)しか生じないので、実質上デジタル出力誤差を生じない。しかし、このような1ビット誤差も生じない回路が可能である。

【0024】詳しくは、図5のフィードバック回路38Aでは、図3の回路38に加えて、1つのANDゲート3810と加算器3812とをさらに設けている。ANDゲート3810は、一方の入力がインバータ3808の出力を受け、他方の入力が1の2進信号を受ける。このANDゲートの出力は加算器3812の一方の入力が受け、そして他の入力はEX-ORゲート3806の出力G[27:0]を受ける。ANDゲートは、 $I_1=0$ のときインバータ出力はハイとなり、このときANDゲート出力はハイすなわち1となって、この1を、加算器はEX-ORゲート出力の最下位ビットに加算し、そしてその結果を上記のB[27:0]として出力する。これにより、 $I_1=0$ のときのEX-ORでの反転により生ずる1ビット誤差を除くことができる。

【0025】図6は、第3の実施例のフィードバック回路38Bを示しており、これは、ビット誤差を生じない加算器タイプのものであり、また、非ゼロの上記と同じ値(“8191/8192”，“1/8192”)との2つの係数 k_1 と k_2 をもっている。これらの係数の実現は、回路38Bにおいては次のようにして行う。すなわち、左13ビット・シフト回路3820は8192倍し、そしてこの出力を受ける右13ビット・シフト(“ $\gg 13$ ”で表す)するシフト回路3822は、1/8192倍するためその出力は1倍のAである。次のセレクト3824は、シフト回路3820の出力を“1”入力に受け、シフト回路3822の出力を“0”入力に受け、そして選択制御入力に I_1 を受ける。したがって、 $I_1=0$ のときは、1倍のAを出力し、そして $I_1=1$ のときは、8192倍のAを出力する。このセレクトの出力は、加算器3826の正入力に接続しており、そしてその加算器の負入力は28個の

ANDゲート3828の出力に接続している。ANDゲート3828の一方の入力は入力Aを受け、他方の入力は I_1 を受ける。このため、ANDゲートの出力は、 $I_1=0$ のときは0であり、 $I_1=1$ のときは1倍のAとなる。尚、加算器3826は、図3の加算器3800と同様の回路であって、負入力ではビット拡張を行い、そして出力は41ビットの内の上位28ビットのみを使用するため1/8192倍の機能をもっている。この結果、加算器3826において、 $I=0$ のときには、正入力が $1 \cdot A$ 、負入力が0、そして出力が $(1 \cdot A - 0) / 8192 = (1/8192) \cdot A = k_2 \cdot A$ となる。一方、 $I=1$ のときには、正入力が8192A、負入力が1A、出力が $(8192 \cdot A - 1 \cdot A) / 8192 = (8191/8192) \cdot A = k_1 \cdot A$ となる。したがって、図5と同じ出力Bが、EX-ORゲートのような反転を行わないで得られる。

【0026】図7は、第4実施例のHPF30用フィードバック回路38Cであり、これもビット誤差なしで非ゼロ係数をもつ加算器タイプのものである。この回路は、セクタ3830の“1”入力で係数 k_1 を実現し、“0”入力で係数 k_2 を実現している。まず初めにその“1”入力側について述べると、加算器3832は、図3の加算器3800と同様の回路のものであるため、その負入力は1倍のAであり、そして正入力は左13ビット・シフト回路3834のため8192Aであり、したがって加算器の出力は、 $(8191/8192) \cdot A = k_1 \cdot A$ となる。一方、セクタ3830の“0”入力側では、右13ビット・シフト回路3836のため、 $(1/8192) \cdot A$ となる。セクタ3830は、 $I=0$ のときには、“0”入力である $k_2 \cdot A$ を出力に出す。一方、 $I=1$ のときには、“1”入力である $k_1 \cdot A$ となる。これにより、図5と同様の機能が実現できる。

【0027】次に、図8～図10を参照して非ゼロ係数をもつ乗算器タイプのフィードバック回路について説明する。まず初めに、図8に示すフィードバック回路38Dは、乗算器3840と、 k_1 係数回路3842、 k_2 係数回路3844、スイッチ3846とで構成している。乗算器の入力は信号Aを受け、出力は信号Bを発生し、そして係数入力は、スイッチ3846の出力端に接続している。このスイッチの“1”側入力端は回路3842から13ビットの2進信号の係数 k_1 を受けるように接続し、“0”側入力端は回路3844から13ビットの2進信号の係数 k_2 を受けるように接続している。このスイッチの制御入力端は、 I_1 を受けて、その状態に依存して対応する側の入力を出力に接続する。したがって、乗算器3840は、 $I_1=1$ のときには、 $k_1 \cdot A$ を出力し、 $I_1=0$ のときには、 $k_2 \cdot A$ を出力する。この実施例では、係数の値を任意に変更できる利点がある。

【0028】図9の実施例のフィードバック回路38Eは、図8の回路38Dと異なっているのは、乗算器を2

つ設けてその各乗算器に対応する係数回路を設けている点、そしてそれら2つの乗算器出力を選択出力するためのセレクト3847を設けている点である。この回路38Eも、回路38Dと同様に機能し、また係数値の任意設定が可能という利点をもっている。

【0029】図10の実施例のフィードバック回路38Eは、図9の回路38Eと異なっているのは、乗算器と k_2 係数回路との組を、“ $\gg 13$ ”シフト回路3848で置き換えている点である。このため、係数 k_2 は、 $1/8192$ の固定値である。 k_1 は任意に設定可能である。

【0030】次に、図11～図15を参照して、2つの係数 k_1 、 k_2 の内の k_2 がゼロであるフィードバック回路の実施例について述べる。まず初めに、図11と図12の加算器タイプのフィードバック回路について説明する。

【0031】図11の第8実施例の回路38Gは、図3の加算器3800と同様の回路の加算器3850と、“ $\ll 13$ ”シフト回路3852と、ANDゲート3854とで構成している。詳しくは、ANDゲート3854の一方の入力は2進信号Aを受け、他方の入力はI1を受ける。このゲートの出力には、加算器3850の負入力に接続し、そして加算器のその正入力は、左シフト回路3852を介してゲート3854の出力に接続している。I1=1のときには、加算器3850は、図7の加算器3832と同じ出力、すなわち $(8191/8192)A = k_1 \cdot A$ を発生する。一方、I1=0のときには、ゲート3854の出力は全てゼロとなり、したがって、加算器3850の出力も0となる。これは、 $k_2=0$ を意味する。

【0032】図12の第9実施例のフィードバック回路38Hは、図11の回路38Gと同様であるが、異なっているのは、ANDゲートを加算器の入力側ではなくその出力側に設けている点である。すなわち、ANDゲート3856の一方の入力に加算器3850の出力を接続し、その他方の入力にI1を接続し、そして加算器の負入力とシフト回路3852の入力を信号Aを受けるように接続している。この回路Hは、回路38Gと同じ動きをする。

【0033】次に、図13～図15の乗算器タイプのフィードバック回路について述べる。まず、図13の第10実施例のフィードバック回路38Iは、信号Aを入力に受ける乗算器3860と、乗算器の係数入力に出力が接続した k_1 係数回路3862と、乗算器の出力に一方の入力が接続し他方の入力がI1を受けるように接続したANDゲート3864とで構成している。この回路は、I1=0の時の係数 $k_2 (=0)$ をANDゲート3864で形成していること以外は、図8～図9の回路と同様である。

【0034】図14の第11実施例のフィードバック回路38Jは、乗算器の出力側ではなく、係数入力側にA

NDゲート3866を接続している点を除いては、図13の回路38Iと同様であり、機能も同じである。この場合、I=0の時のANDゲート3866の出力が係数 $k_2 (=0)$ となる。

【0035】図15の第12実施例のフィードバック回路38Kも、乗算器の入力側にANDゲート3868を設けている点を除いては、図13の回路38Iと同じであり、同じ機能をもっている。上述のように、HPF30のフィードバック回路の構成としては種々のものが可能であり、目的、用途等に応じて適当なものを使用することができる。

【0036】以上に説明した本発明の実施例においては、種々の変更が当業者には可能である。例えば、上記実施例では、2つのフィルタ係数の例について記述したが、本発明によれば、必要に応じて、フィルタ係数の数をそれ以上にしたり、あるいはフィルタ係数の値として上述の例の値以外の値を使用することができる。

【0037】

【発明の効果】以上に述べた本発明によれば、変化するオフセットの除去と、安定したADC出力発生に要する時間の短縮とを、ハイパスフィルタのフィルタ係数の切替えだけで実現することができる。また、パワーオン時の安定出力発生所要時間の短縮の結果、ADCのテスト時間の短縮に有利である。さらに、ADCがパワーセーブのためパワーダウン・モードをもつ機器で使用されるときにも、パワーダウンからの復帰時のパワーアップ毎の安定出力発生所要時間の短縮にも効果がある。

【図面の簡単な説明】

【図1】本発明による第1実施例の $\Delta\Sigma$ 型アナログーデジタル変換器(ADC)Aを示すブロック図。

【図2】本発明の第2実施例の $\Delta\Sigma$ 型アナログーデジタル変換器Bを示すブロック図。

【図3】図2のハイパスフィルタを詳細に示す回路図。

【図4】図3のハイパスフィルタ回路を備えた図2の $\Delta\Sigma$ 型ADCの全体の動作説明のためのタイミングチャート。

【図5】図3のハイパスフィルタ30のフィードバック回路38部分の第2の実施例による回路38Aを示す回路図。

【図6】フィードバック回路38の第3実施例の回路38Bを示す回路図。

【図7】フィードバック回路38の第4実施例の回路38Cを示す回路図。

【図8】フィードバック回路38の第5実施例の回路38Dを示す回路図。

【図9】フィードバック回路38の第6実施例の回路38Eを示す回路図。

【図10】フィードバック回路38の第7実施例の回路38Fを示す回路図。

【図11】フィードバック回路38の第8実施例の回路

38Gを示す回路図。

【図12】フィードバック回路38の第9実施例の回路38Hを示す回路図。

【図13】フィードバック回路38の第10実施例の回路38Iを示す回路図。

【図14】フィードバック回路38の第11実施例の回路38Jを示す回路図。

【図15】フィードバック回路38の第12実施例の回路38Kを示す回路図。

【符号の説明】

1, 10: $\Delta\Sigma$ 変調器

2, 20: デシメーション・フィルタ

3, 30: ハイパスフィルタ (HPF)

4: フィルタ係数制御部

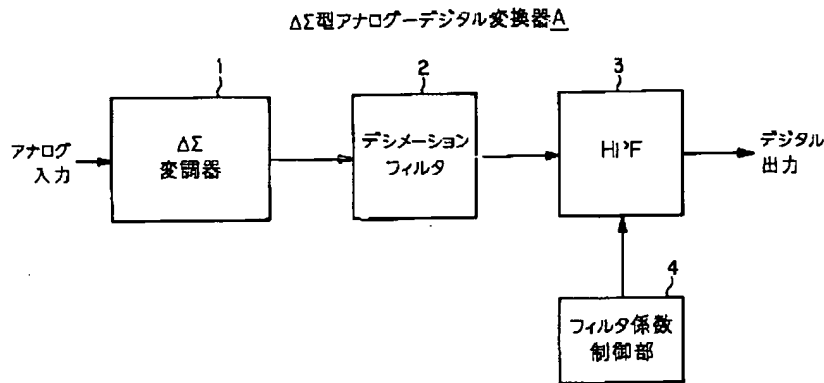
40: タイミング・コントローラ

50: シリアル制御部

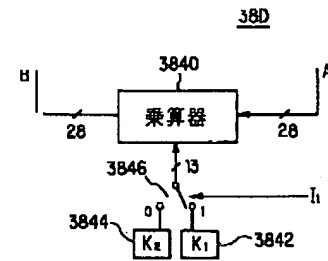
60: ディザ制御部

38, 38A~38K: HPF30のフィードバック回路

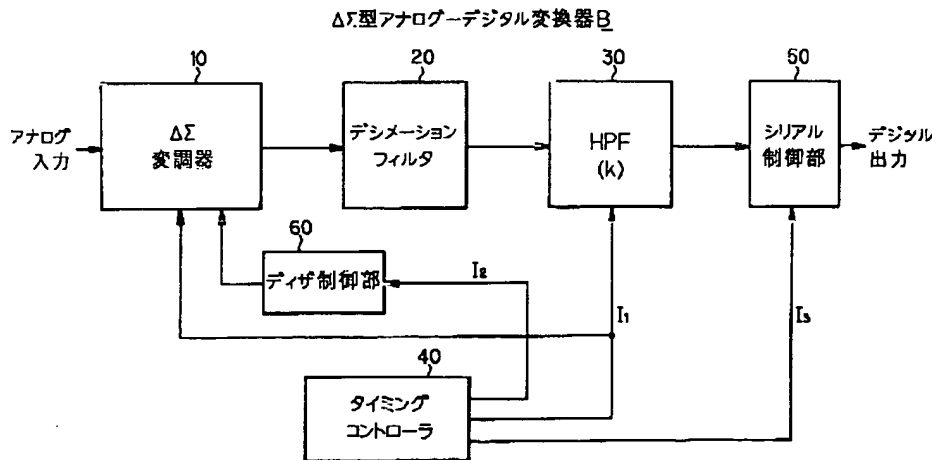
【図1】



【図8】



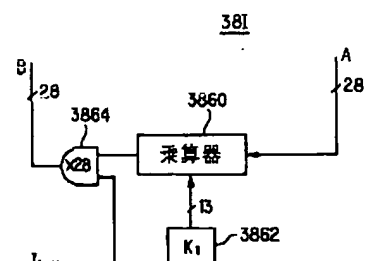
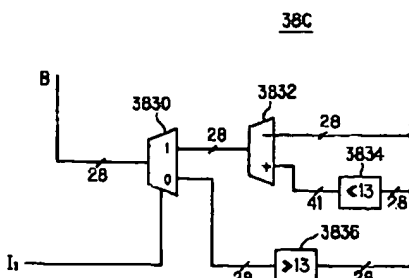
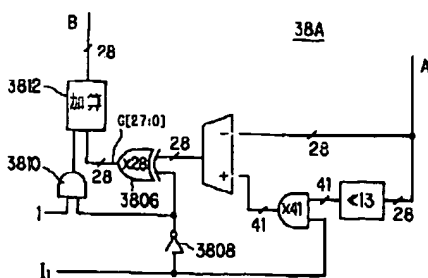
【図2】



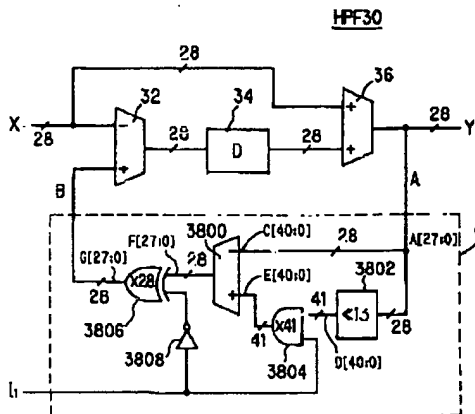
【図5】

【図7】

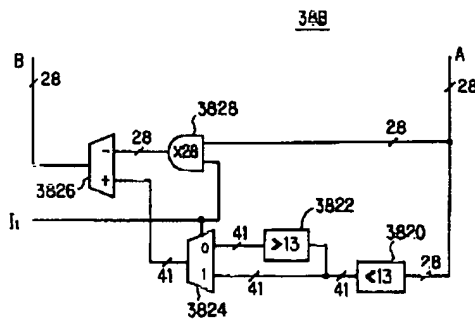
【図13】



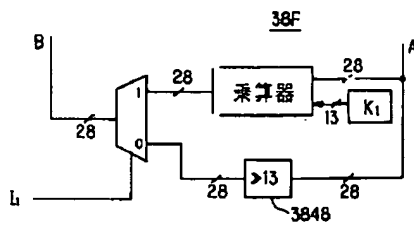
【図3】



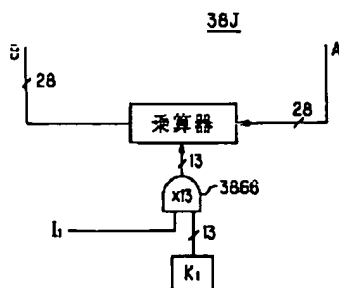
【図6】



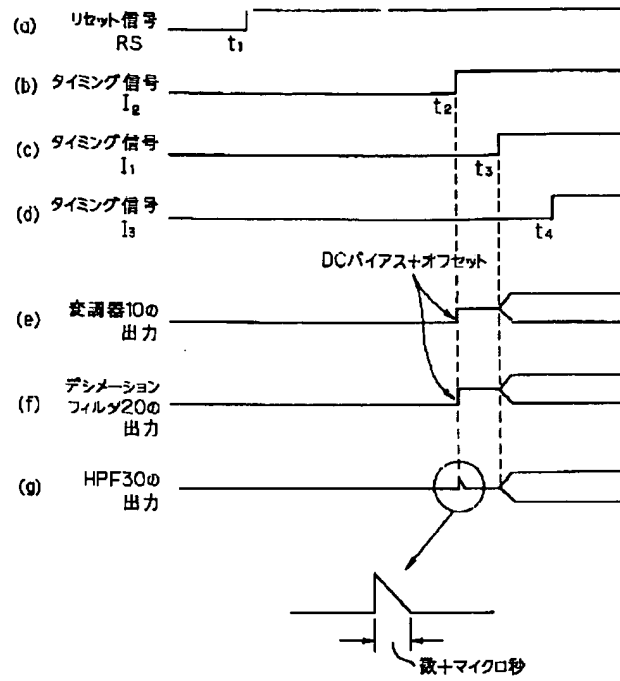
【図10】



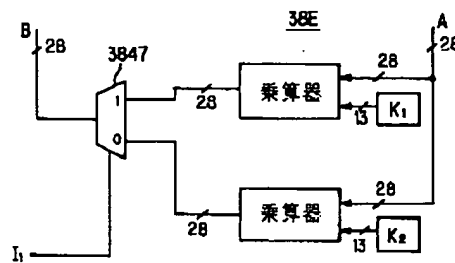
【図14】



【図4】



【図9】

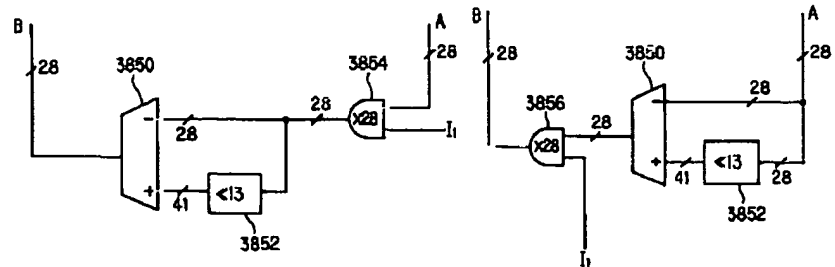


【図11】

【図12】

38G

38H



【図15】

